

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-077229
(43)Date of publication of application : 23.03.2001

(51)Int.Cl. H01L 23/12
H01L 21/768
H01L 21/60

(21)Application number : 11-248133
(22)Date of filing : 02.09.1999

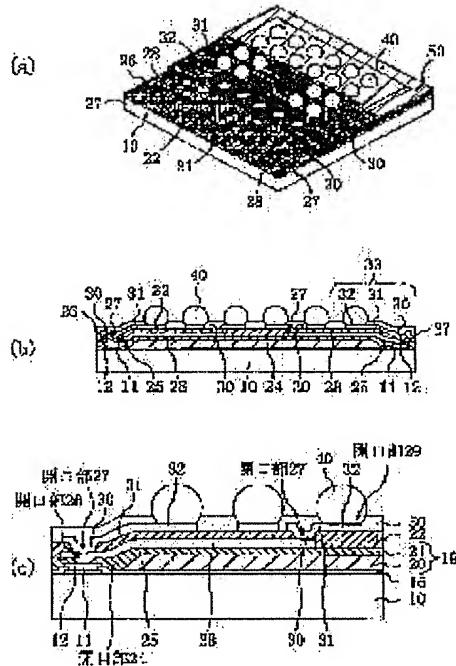
(71)Applicant : MATSUSHITA ELECTRONICS INDUSTRY CORP
(72)Inventor : SHIMOISHIZAKA NOZOMI
SAWARA RYUICHI
KAINO NORIYUKI
NAKAMURA YOSHIFUMI
KUMAKAWA TAKAHIRO
YAMAGISHI MASARU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which can be applied to a semiconductor element having electrodes located close to the four corners.

SOLUTION: The semiconductor device includes a first insulating film 19 formed on the main surface of a semiconductor element 10 where a plurality of element electrodes 11 are arranged, a first conductor layer 28 formed on the film 19, a second insulating film 22 formed on the film 19 so as to cover the layer 28, and a second conductor layer 33 formed on the film 22. At least one of a plurality of first conductors on the layer 28 is connected electrically to an electrode 11, and at least one of a plurality of second conductors on the layer 33 is connected electrically to the at least one of the first conductors.



LEGAL STATUS

[Date of request for examination] 28.04.2005
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2001-77229

(P2001-77229A)

(43)公開日 平成13年3月23日(2001.3.23)

(51)Int.C1.⁷

H01L 23/12
21/768
21/60

識別記号

F I

H01L 23/12
21/90
21/92

マークコード(参考)

L 5F033
A
602 K

審査請求 未請求 請求項の数12 O L

(全11頁)

(21)出願番号

特願平11-248133

(22)出願日

平成11年9月2日(1999.9.2)

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 下石坂 望

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72)発明者 佐原 隆一

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外1名)

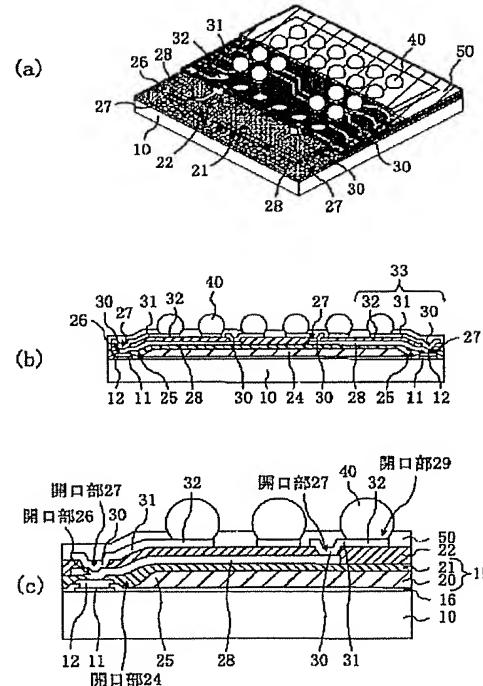
最終頁に続く

(54)【発明の名称】半導体装置およびその製造方法

(57)【要約】

【課題】4隅に近接して配置された素子電極を有する半導体素子に適応可能な半導体装置を提供する。

【解決手段】複数の素子電極11が配列された半導体素子10の主面上に形成された第1絶縁膜19と、第1絶縁膜19上に形成された第1配線層28と、第1配線層28を覆うように第1絶縁膜19上に形成された第2絶縁膜22と、第2絶縁膜22上に形成された第2配線層33を備える半導体装置である。第1配線層28における複数の第1配線の少なくとも1つは、素子電極11に電気的に接続されており、第2配線層33における複数の第2配線の少なくとも1つは、少なくとも1つの第1配線に電気的に接続されている。



【特許請求の範囲】

【請求項 1】 複数の素子電極が配列された主面を有する半導体素子と、
前記半導体素子の前記主面上に形成され、前記複数の素子電極のうち少なくとも 1 つの素子電極の少なくとも一部を露出させる第 1 開口部を有する第 1 絶縁膜と、
前記第 1 絶縁膜上に形成され、複数の第 1 配線を有する第 1 配線層と、
前記第 1 配線層を覆うように前記第 1 絶縁膜上に形成され、前記第 1 配線層の少なくとも一部を露出させる第 2 開口部を有する第 2 絶縁膜と、
前記第 2 絶縁膜上に形成され、複数の第 2 配線を有する第 2 配線層と、
前記第 2 配線層に電気的に接続されている外部電極と、
を備える半導体装置であって、
前記複数の第 1 配線の少なくとも 1 つは、前記第 1 開口部内で前記素子電極に電気的に接続されており、
前記複数の第 2 配線の少なくとも 1 つは、前記少なくとも 1 つの第 1 配線に前記第 2 開口部内で電気的に接続されている半導体装置。

【請求項 2】 前記第 1 絶縁膜における前記第 1 開口部の上に位置し、前記複数の素子電極のうち少なくとも 1 つの素子電極の少なくとも一部を露出させる第 2 開口部を前記第 2 絶縁膜にさらに含み、
前記複数の第 2 配線の少なくとも 1 つは、露出している前記少なくとも 1 つの素子電極に電気的に接続されている請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 絶縁膜および前記第 2 絶縁膜は、絶縁性の弾性材料からなる弾性体層から構成されている請求項 1 から 3 の何れか一つに記載の半導体装置。

【請求項 4】 前記第 1 絶縁膜は、
前記半導体素子の前記主面上に形成され、前記複数の素子電極のそれを露出させる開口部を有する第 1 絶縁層と、
前記複数の素子電極および前記第 1 絶縁層を覆うように前記半導体素子の前記主面上に形成され、前記複数の素子電極のそれぞれの上面の中央部を露出させる開口部を有し、前記上面の周辺部を覆う前記第 2 絶縁層と、
を含んでいる請求項 1 から 3 の何れか一つに記載の半導体装置。

【請求項 5】 前記複数の素子電極は、それぞれその上にバリアメタルを有しており、
前記バリアメタルの少なくとも 1 つは、前記第 1 配線層に電気的に接続されていることを特徴とする請求項 1 から 4 の何れか一つに記載の半導体装置。

【請求項 6】 前記外部電極の少なくとも一部を露出させるように前記第 2 絶縁層上に形成され、導電性材料をはじく特性を有し、前記第 2 配線層を覆う保護膜と、
前記外部電極の上に形成された外部電極端子とをさらに備えていることを特徴とする請求項 1 から 5 の何れか一

つに記載の半導体装置。

【請求項 7】 複数の素子電極が配置された主面を有する半導体素子を用意する工程と、
前記複数の素子電極のそれぞれの少なくとも一部を露出させるように、前記半導体素子の前記主面上に前記第 1 絶縁膜を形成する工程と、
前記複数の素子電極のうち少なくとも一つに電気的に接続される第 1 配線層を前記第 1 絶縁膜上に形成する工程と、
10 前記第 1 配線層の少なくとも一部を露出させるように、前記第 1 配線層を覆う第 2 絶縁膜を前記第 1 絶縁膜上に形成する工程と、
前記第 1 配線層に電気的に接続される第 2 配線層を前記第 2 絶縁膜上に形成する工程と、
前記第 2 配線層と電気的に接続される外部電極を前記第 2 絶縁膜上に形成する工程とを包含する半導体装置の製造方法。

【請求項 8】 前記第 1 絶縁膜を形成する工程は、
前記複数の素子電極を露出させるように、前記半導体素子の前記主面上に第 1 絶縁層を形成する工程と、
前記複数の素子電極および前記第 1 絶縁層を覆うように、前記半導体素子の前記主面上に絶縁性材料を堆積する工程と、
前記複数の素子電極のそれぞれの上面の中央部を露出させる開口部を前記絶縁性材料に形成し、それによって前記上面の周辺部を覆う前記第 2 絶縁層を前記絶縁材料から形成する工程と、
を包含する請求項 6 に記載の半導体装置の製造方法。

【請求項 9】 第 1 絶縁膜を形成する工程の前までに、
30 耐メッキ液性を有するバリアメタルを前記複数の素子電極のそれぞれの上に形成する工程をさらに包含することを特徴とする請求項 6 または 7 に記載の半導体装置の製造方法。

【請求項 10】 前記第 1 配線層を形成する工程は、前記バリアメタルを覆うようにメッキを用いて前記第 1 絶縁膜上に金属膜を堆積する工程と、
前記金属膜をバーニングすることによって第 1 配線層を形成する工程とを包含する請求項 8 に記載の半導体装置の製造方法。

【請求項 11】 前記外部電極の少なくとも一部を露出させるように第 2 配線層を覆い、導電性材料をはじく特性を有する保護膜を前記第 2 絶縁膜上に形成する工程をさらに包含する請求項 6 から 9 の何れか一つに記載の半導体装置の製造方法。

【請求項 12】 前記外部電極上に金属ボールを接合する工程をさらに包含する請求項 10 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体素子を備え

た半導体装置およびその製造方法に関する。特に、半導体素子を保護し、外部装置と半導体素子との電気的な接続を確保する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、電子機器の小型化および高機能化のために、半導体装置の小型化や動作速度の高速化とともに、実装密度の向上や実装作業の迅速性向上に対する要求が高まっている。これらの要求に対応するため、種々のパッケージ形態が開発されている。たとえば、メモリー用パッケージとしてはLOC(リード・オン・チップ)あるいはSON(スマート・アウトライン・ノンリード)、あるいはTABテープを利用したμBGA(マイクロ・ボール・グリッド・アレイ、特表平06-504408号参照)等のパッケージ形態が開発されている。

【0003】以下、図6(a)および(b)を参照しながら従来のμBGAを用いた半導体装置(以下、「μBGA」という。)およびその製造方法を説明する。

【0004】図6(a)は、従来のμBGA100の断面を模式的に示している。図6(b)は、図6(a)のb-b'線間に沿って切断したμBGA100の配線パターンを模式的に示している。

【0005】従来のμBGA100は、半導体集積回路部を内蔵した半導体素子(または半導体チップ)101と、半導体素子101の主面上に設けられたしなやかな低弾性率層103と、低弾性率層103上に形成された柔軟性シート状の配線回路シート102とを有している。配線回路シート102は、支持部110によって半導体素子101に支持されている。

【0006】配線回路シート102は金属配線107を備えており、金属配線107には外部電極106が形成されている。外部電極106は、金属配線107から延長されている部分リード104を介して、半導体素子101の主面上に形成されている素子電極105と互いに電気的に接続されている。配線回路シート102の上には、金属配線107を覆い外部電極106を露出するソルダーレジスト108が形成されている。露出している外部電極106の上には金属ボール109が接合されている。

【0007】次に、μBGA100の製造方法を説明する。まず、支持部110で支持されている配線回路シート102を半導体素子101上に低弾性率層103を介して接合する。低弾性率層103は、絶縁材料から形成されており、接着機能を有している。使用される配線回路シート102には、金属配線107と、金属配線107に電気的に接続されている外部電極106と、金属配線107から延長されている部分リード104とが予め形成されており、これらはソルダーレジスト108によって被覆されている。

【0008】次に、金属配線107に接続されている外

部電極106と、半導体素子101の主面上に位置する素子電極105とを部分リード104によって電気的に接続する。この接続は、「TAB」(テープ・オートメイティッド・ボンディング)作業で通常用いられる従来の熱圧着、または超音波ボンディング技術を用いて行われる。その後、配線回路シート102の外部電極106上に、はんだ等から構成された金属ボール109を接合する。このようにして、従来のμBGA100は製造される。

10 【0009】

【発明が解決しようとする課題】上記従来のμBGA100では、素子電極105に接続される部分リード104は同一平面上に配列されることとなる。そのため、半導体素子101の4隅に近接して配置されている素子電極105aに部分リード104を接続しようとすると、部分リード104同士、または部分リード104と配線回路シート102の支持部110とが物理的に干渉してしまうので、部分リード104を素子電極105aに接続することができない。それゆえ、素子電極105aのような4隅に近接して配置されている素子電極を有する半導体素子101に従来のμBGA100を用いることはできない。

【0010】また、上記従来のμBGA100では、配線回路シート102上の同一平面上に金属配線107が形成されていたため、金属配線107同士を交差することができず、外部電極106を任意の配列にすることはできない。

【0011】本発明はかかる諸点に鑑みてなされたものであり、その主な目的は、4隅に近接して配置された素子電極を有する半導体素子に適応可能であり、外部電極を任意の配列にすることを可能にする半導体装置およびその製造方法を提供することにある。

【0012】

【課題を解決するための手段】本発明による半導体装置は、複数の素子電極が配列された主面を有する半導体素子と、前記半導体素子の前記主面上に形成され、前記複数の素子電極のうち少なくとも1つの素子電極の少なくとも一部を露出させる第1開口部を有する第1絶縁膜と、前記第1絶縁膜上に形成され、複数の第1配線を有する第1配線層と、前記第1配線層を覆うように前記第1絶縁膜上に形成され、前記第1配線層の少なくとも一部を露出させる第2開口部を有する第2絶縁膜と、前記第2絶縁膜上に形成され、複数の第2配線を有する第2配線層と、前記第2配線層に電気的に接続されている外部電極とを備えており、前記複数の第1配線の少なくとも1つは、前記第1開口部内で前記素子電極に電気的に接続されており、前記複数の第2配線の少なくとも1つは、前記少なくとも1つの第1配線に前記第2開口部内で電気的に接続されている。これによって上記目的が達成される。

【0013】ある実施形態では、前記第1絶縁膜における前記第1開口部の上に位置し、前記複数の素子電極のうち少なくとも1つの素子電極の少なくとも一部を露出させる第2開口部を前記第2絶縁膜にさらに含み、前記複数の第2配線の少なくとも1つは、露出している前記少なくとも1つの素子電極に電気的に接続されている。

【0014】前記第1絶縁膜および前記第2絶縁膜は、絶縁性の弹性材料からなる弹性体層から構成されていることが好ましい。

【0015】前記第1絶縁膜は、前記半導体素子の前記主面上に形成され、前記複数の素子電極のそれぞれを露出させる開口部を有する第1絶縁層と、前記複数の素子電極および前記第1絶縁層を覆うように前記半導体素子の前記主面上に形成され、前記複数の素子電極のそれぞれの上面の中央部を露出させる開口部を有し、前記上面の周辺部を覆う前記第2絶縁層とを含んでいることが好ましい。

【0016】前記複数の素子電極は、それぞれその上にバリアメタルを有しており、前記バリアメタルの少なくとも1つは、前記第1配線層に電気的に接続されていることが好ましい。

【0017】前記外部電極の少なくとも一部を露出させるように前記第2絶縁層上に形成され、導電性材料をはじく特性を有し、前記第2配線層を覆う保護膜と、前記外部電極の上に形成された外部電極端子とをさらに備えていることが好ましい。

【0018】本発明による半導体装置の製造方法は、複数の素子電極が配置された主面を有する半導体素子を用意する工程と、前記複数の素子電極のそれぞれの少なくとも一部を露出させるように、前記半導体素子の前記主面上に前記第1絶縁膜を形成する工程と、前記複数の素子電極のうち少なくとも一つに電気的に接続される第1配線層を前記第1絶縁膜上に形成する工程と、前記第1配線層の少なくとも一部を露出させるように、前記第1配線層を覆う第2絶縁膜を前記第1絶縁膜上に形成する工程と、前記第1配線層に電気的に接続される第2配線層を前記第2絶縁膜上に形成する工程と、前記第2配線層と電気的に接続される外部電極を前記第2絶縁膜上に形成する工程とを包含する。この方法によって、上記目的が達成される。

【0019】ある実施形態では、前記第1絶縁膜を形成する工程は、前記複数の素子電極を露出させるように前記半導体素子の前記主面上に第1絶縁層を形成する工程と、前記複数の素子電極および前記第1絶縁層を覆うように前記半導体素子の前記主面上に絶縁性材料を堆積する工程と、前記複数の素子電極のそれぞれの上面の中央部を露出させる開口部を前記絶縁性材料に形成し、それによって前記上面の周辺部を覆う前記第2絶縁層を前記絶縁材料から形成する工程とを包含する。

【0020】ある実施形態では、第1絶縁膜を形成する

工程の前までに、耐メッキ液性を有するバリアメタルを前記複数の素子電極のそれぞれの上に形成する工程をさらに包含する。

【0021】前記第1配線層を形成する工程は、前記バリアメタルを覆うようにメッキを用いて前記第1絶縁膜上に金属膜を堆積する工程と、前記金属膜をパターニングすることによって第1配線層を形成する工程とを包含することが好ましい。

【0022】前記外部電極の少なくとも一部を露出させるように第2配線層を覆い、導電性材料をはじく特性を有する保護膜を前記第2絶縁膜上に形成する工程をさらに包含することが好ましい。

【0023】前記外部電極上に金属ボールを接合する工程をさらに包含することが好ましい。

【0024】

【発明の実施の形態】以下、図面を参照しながら本発明の実施形態を説明する。以下の図面においては、簡単のために、実質的に同一の機能を有する構成要素を同一の参照符号で示す。

20 (第1の実施形態) 図1から図3を参照しながら、本発明による第1の実施形態を説明する。図1(a)は、本実施形態にかかる半導体装置の一部を省略して模式的に示している。図1(b)はその半導体装置の断面図であり、図1(c)はその部分拡大図である。

【0025】図示された半導体装置は、半導体素子10と、複数の素子電極11が配列された半導体素子10の主面上に形成された第1絶縁層20および第2絶縁層21からなる第1絶縁膜19と、第1絶縁膜19上に形成された第1配線パターン28と、第1配線パターン28に電気的に接続されている第2配線パターン33とを備えている。第2配線パターン33は、第1配線パターン28を覆っている第2絶縁膜22の上に形成されており、第1配線パターン28と電気的に接続しているコンタクト部30と、コンタクト部30から延長された第2配線31と、第2配線31に電気的に接続されているランド32とを有している。ランド32は、半導体素子10の半導体素子11と外部機器との間に流れる信号を入出力するための外部電極として機能する。第2配線パターン33のランド32の上には、外部電極端子として機能する金属ボール40が形成されている。第2絶縁膜22上にはランド32を露出させるようにソルダーレジスト膜50が形成されている。

【0026】半導体素子10は、例えば半導体チップであり、トランジスタ等を含む半導体集積回路部(不図示)を備えている。半導体素子10の半導体集積回路部を保護するために半導体素子10の主面にはパッシベーション膜16が形成されていることが好ましい。半導体素子10の半導体集積回路部は、素子電極11に電気的に接続されており、素子電極11は半導体素子10の主面に配列されている。本実施形態では、半導体素子10

における主面の外周部に素子電極11が配列されている。

【0027】半導体素子10の複数の素子電極11は、それぞれその上にバリアメタル12を有していることが好ましい。バリアメタル12は、例えば、耐メッキ液性を有しており、製造工程において使用されるメッキ液に素子電極11を溶解させないように機能する。例えば、アルカリ耐性を有するNiからなるバリアメタルを素子電極11の上に形成すれば、例えばアルカリ可溶のAlからなる素子電極を保護することができる。バリアメタルを構成する材料としては、Niの他に、Ni/Au等を用いることができる。バリアメタル12の厚さは、耐メッキ液性の観点から、例えば3～10μm程度、好ましくは5μm程度にする。

【0028】製造工程中に用いられるメッキ液から素子電極11を保護するため、例えばバリアメタル12の中央部（バリアメタル12がパンプ状に形成されているときには頂上部）を第1配線パターン28に接触させる構造にする。素子電極11の上面の中央部を露出させる開口部を有するパッシベーション膜16が素子電極11の上面の周辺部を覆うように形成されている場合には、その開口部にバリアメタル12が充填されている構造にすることが好ましい。バリアメタル12がパッシベーション膜16の上面を覆うように充填されている構造にすることがより好ましい。

【0029】半導体素子10の主面上に形成されている第1絶縁膜19は、第1絶縁層20および第2絶縁層21から構成されている。第1絶縁層20は、半導体素子10の主面上に形成されており、複数の素子電極11のそれを露出させる第1開口部24を有している。第1絶縁層20は絶縁性材料から構成されており、第1絶縁層20の厚さは、例えば5～150μm程度、好ましくは10～70μm程度の範囲内である。

【0030】第1絶縁層20の上には、第2絶縁層21が形成されている。第2絶縁層21は、第1絶縁層20と第1開口部24とによって形成される段差部25およびバリアメタル12を覆うように半導体素子10の主面上に形成されており、バリアメタル12の少なくとも一部を露出させる第2開口部26を有している。

【0031】第2絶縁層21が第1絶縁層20の段差部25を覆っていることによって、段差部25上の第2絶縁層21の断面形状が鋭角部分のない滑らかな形状になるため、段差部25上方に位置する第1配線パターン28および第2配線パターン33の断線を防止することができる。第1絶縁層20の段差部25を効果的に覆うために、第1絶縁層20の厚さが例えば30～80μm程度のとき、第2絶縁層21の厚さは20～30μm程度にすることが好ましい。また、第1配線パターン28および第2配線パターン33の断線をさらに防止するため、第1絶縁層20の段差部25は、第1絶縁層20の

第1開口部24を規定する側面と第1絶縁層20の上面とが鈍角（例えば、100～140度程度）をなすように形成されていることが望ましい。

【0032】第2絶縁層21の第2開口部26は、耐メッキ液性の観点から、バリアメタル12の中央部を露出させるように形成されていることが好ましい。また、第1配線パターン28の断線を防止するために、第2絶縁層21の第2開口部26を規定する側面と第2絶縁層21の上面とが鈍角（例えば、100～140度程度）をなすように第2開口部26は形成されていることが望ましい。

【0033】図2に示すように、第2絶縁層21上には第1配線パターン28が形成されている。第1配線パターン28は複数の第1配線を有しており、第1配線の少なくとも一つは、第2開口部26内で素子電極11に電気的に接続されている。素子電極11に電気的に接続されている第1配線28aは、一端であるコンタクト部30において素子電極11上に位置するバリアメタル12に電気的に接続されており、第1配線28aの他端は第2絶縁層21上に位置し、第2配線パターン33のコンタクト部30と電気的に接続されている。第2配線パターン33のコンタクト部30との電気的な接続の目的のために、第1配線28aの他端は面積を大きくしておくことが好ましい。

【0034】4隅に近接して配置された素子電極を有する半導体素子に適応可能にする目的から、第1配線28aは、4隅に近接して配置された素子電極11Aまたは11Bのいずれか1つに接続されていることが好ましい。第1配線28aを素子電極11Aに接続した場合には、第2配線パターン33の第2配線31を素子電極11Bを接続すればよい。また、外部電極（ランド32）を任意の配列にする目的から、半導体素子10の4隅に位置する素子電極11Aおよび11Bだけでなく、半導体素子10の4隅以外の素子電極11Cに第1配線28aを接続することもできる。

【0035】再び図1を参照する。第1絶縁層21上には、第1配線パターン28を覆うように第2絶縁膜22が形成されている。第2絶縁膜は、第1絶縁層21上全面に形成されている必要はなく、第1配線28aと第2配線31との層間絶縁を行う目的から、第2絶縁膜は少なくとも第1配線28aの上に形成されればよい。第2絶縁膜22は、絶縁性の弾性材料から構成されている方が好ましい。第2絶縁膜22が低弾性率材料（弾性率が例えば2000kg/m²以下の材料）から構成すると、半導体装置を実装した配線基板と半導体素子10との間に熱膨張係数の違いに起因する熱応力の発生を第2絶縁膜22によって防止・抑制することが可能となるからである。低弾性率材料として、例えば、エスチル結合型ポリイミドやアクリレート系エポキシ等の高分子材料を用いることができる。ただし、絶縁性を有し低弾

性率を示す材料であれば特に材料に限定はされない。

【0036】具体的には、第2絶縁膜22の厚さは、例えば5~150μm程度、好ましくは10~70μm程度の範囲内にある。第2絶縁膜22の弾性率(ヤング率)は、例えば10~2000kg/mm²の範囲内、好ましくは10~1000kg/mm²の範囲内、さらに好ましくは100~700kg/mm²の範囲内にある。また、第2絶縁膜22の線膨張率は、例えば5~200ppm/°Cの範囲内、好ましくは10~100ppm/°Cの範囲内、さらに好ましくは100~60ppm/°Cの範囲内にある。第2絶縁膜22の線膨張率と弾性率(ヤング率)との積は、例えば50~200000(kg/mm²)·(ppm/°C)の範囲内、好ましくは100~100000(kg/mm²)·(ppm/°C)の範囲内、さらに好ましくは1000~42000(kg/mm²)·(ppm/°C)の範囲内にある。なお、第1絶縁層20および第2絶縁層21のいずれか又は両方が低弾性率材料から構成されていてもよい。第2絶縁膜22についての条件は、第1絶縁層20および第2絶縁層21にも適用され得る。第1絶縁層20、第2絶縁層21、および第2絶縁膜22は、同じ材料から構成されていても異なる材料から構成されていてもよい。同一材料から構成される場合、各層の界面に熱応力が発生することを防止することができる。

【0037】第2絶縁膜は、第1配線層28の少なくとも一部を露出する第3開口部27を有している。第3開口部27は、第2配線パターン33の断線を防止するために、第2絶縁膜22の第3開口部27を規定する側面と第2絶縁膜22の上面とが鈍角(例えば、100~140度程度)をなすように形成されていることが望ましい。第2絶縁層21に加えて第2絶縁膜22が第1絶縁層20の段差部25を覆っているので、段差部25上の第2絶縁膜22の断面形状はさらに鋭角部分のない滑らかな形状になる。このため、第2絶縁膜22上に形成される第2配線パターン33の断線を防止することができ、第2配線パターン33の形成を容易にすることができる。

【0038】図3に示すように、第2絶縁膜22上には第2配線パターン33が形成されている。第2配線パターン33は複数の第2配線を有しており、第2配線の少なくとも1つは、第3開口部27内で第1配線28aに電気的に接続されている。第1配線28aに電気的に接続されている第2配線31aは一端であるコンタクト部30aにおいて第1配線31aの他端と接続されており、第2配線31aの他端は外部電極として機能するランド32に電気的に接続されている。なお、本実施形態では、ランド32は第2配線31の一部として形成されている。

【0039】また、第2配線パターン33は、第2配線31aの他に、第2配線31bを有している。第2配線

31bは、一端であるコンタクト部30bにおいて第2開口部26および第3開口部27b内で露出しているバリアメタル12に電気的に接続されている。第3開口部27bは、第2開口部26の上に位置するように第2絶縁膜22に形成されており、バリアメタル12の少なくとも一部を露出させている。第2配線31bは、外部電極として機能するランド32bに電気的に接続されている。

【0040】第2配線パターン33のランド32上には、金属ボール40が接合されている。金属ボール40は、例えば、半田、半田メッキされた銅、ニッケル等から構成されている。第2配線パターン33を保護するため、第2絶縁膜22上にはソルダーレジスト膜50が形成されている。ソルダーレジスト膜50は、ランド32の少なくとも一部を露出させる開口部29を有している。

【0041】本実施形態によれば、第1配線パターン28の上に第2配線パターン33を形成させている構造をしているため、4隅に近接して位置する素子電極(11Aまたは11B)を有する半導体素子10に適用可能な半導体装置を提供することができる。また、半導体素子10の4隅に位置する素子電極11Aおよび11Bだけでなく、半導体素子10の4隅以外の素子電極11Cに配線を接続することによって、外部電極(ランド32)を任意の配列にすることもできる。

【0042】また、半導体素子10上の素子電極11と外部電極(ランド32)との間に従来のような部分リードを設けるのではなく、エッチング等によってパターンニングが可能な配線パターンによって素子電極11と外部電極とを接続するものであるため、微細加工に適し、多ピン化に対応可能な半導体装置を実現できる。その結果、半導体装置を利用する情報通信機器、事務用電子機器等の小型化を図ることができる。

【0043】さらに、第2配線パターンのランド32の上に外部電極端子となる金属ボール40が設けられているため、プリント基板等の配線基板に半導体装置を実装する工程を極めて簡易かつ迅速に行なうことができる。

【0044】次に、図4(a)~(g)および図5(a)~(g)を参照しながら、本実施形態にかかる半導体装置の製造方法を説明する。

【0045】まず、図4(a)に示すように、素子電極11が配列された正面を有する半導体素子10を用意した後、素子電極11上にバリアメタル12を形成し、次いでバリアメタル12を露出させる第1開口部24を有する第1絶縁層20を半導体素子10の正面に形成する。なお、半導体素子10の正面のうち素子電極11が配列されている領域以外の部分は、パッシベーション膜16によって覆われていることが好ましい。この場合、耐メッキ液性の観点から、素子電極11の上面の周辺部を覆うようにパッシベーション膜16を形成することが

望ましい。

【0046】素子電極11上のバリアメタル12は、例えばバンプ状(突起状)に形成する。素子電極11が例えばA1からなるときには、例えば無電解めっき法を用いてアルカリ耐性を有するN*i*膜(厚さ:例えば5μm程度)からバリアメタル12を形成する。なお、バリアメタル12の形成は、半導体素子10の主面上に第1絶縁層20を形成した後に行つてもよい。

【0047】第1絶縁層20の形成は、例えば、半導体素子10の主面上に感光性を有する絶縁材料(厚さ:例えば100μm程度)を塗布し、次いで乾燥した後、絶縁材料に対して露光と現像とを順次行うことによってバリアメタル12を露出させる第1開口部24を形成することによって実行する。絶縁材料は、絶縁性を有する材料であれば特に限定されない。絶縁材料として、例えばエスチル結合型ポリイミドやアクリレート系エポキシ等の高分子材料を用いることができる。半導体装置を配線基板に実装したときに半導体装置に加わる熱応力を軽減するために、絶縁材料の厚さは、塗布工程以降の工程に支障のない範囲で厚い方が良い。例えば500μm程度でも、1000μm程度でもよい。

【0048】第1絶縁層20の第1開口部24を形成する場合、露光工程において平行光ではなく例えば拡散光(散乱光を含む)を使用することが好ましい。拡散光を使用することによって、第1開口部24の側面22と第1絶縁層20の上面とが鈍角(例えば、100~140度程度)をなすように第1開口部24を形成することができる。

【0049】なお、液状材料の絶縁材料を塗布・乾燥する場合に限らず、予め絶縁材料をフィルム状に形成して用いることもできる。この場合には、フィルム状の絶縁材料を半導体素子10上に貼りあわせた後に、露光と現像とを順次行って絶縁材料に第1開口部24を形成し、それによって絶縁材料から第1絶縁層20を形成する。また、感光性を有していない絶縁材料を用いることも可能である。この場合、例えば、レーザーやプラズマを用いる機械的な加工、またはエッティングなどの化学的な加工やマスク版を使用した印刷塗布によって第1開口部24を形成すればよい。

【0050】次に、図4(b)に示すように、バリアメタル12および第1絶縁層20の段差部25を覆うように半導体素子10の主面上に絶縁材料を堆積した後、バリアメタル12の少なくとも一部を露出させる第2開口部26を絶縁材料に形成し、それによって絶縁材料から第2絶縁層21を形成する。第2絶縁層21の形成は、第1絶縁層20を形成する工程と同様の工程によって行えればよい。

【0051】第2開口部26の形成は、バリアメタル13の中央部(登頂部)を露出させるように実行することが好ましい。このようにして第2開口部26を形成すれ

ば、この工程の後に行われるメッキ工程において素子電極11をメッキ液から保護することができるからである。また、バリアメタル12に電気的に接続される配線の断線を防止する観点から、第2絶縁層21の第2開口部26を規定する側面と第2絶縁層21の上面とが鈍角(例えば、100~140度程度)をなすように実行されることが望ましい。

【0052】第1絶縁層20の段差部25を効果的に覆うため、第1絶縁層20の厚さが例えば100μm程度であるとき、第2絶縁層21の厚さは例えば20μm程度にすることが好ましい。なお、第2絶縁層21の形成には、第1絶縁層20と同じ絶縁材料を用いてもよいし、異なる絶縁材料を用いてもよい。

【0053】次に、図4(c)に示すように、第2絶縁層21および素子電極11の上に第1薄膜金属層13aを形成する。薄膜金属層13aの形成は次のようにして行う。

【0054】まず、例えばO₂とCF₄との混合気体を用いるプラズマ処理を行い、それによって第2絶縁層26を粗面化する。第2絶縁層26の粗面化処理は、いわゆるアンカー効果によって第2絶縁層26と第1薄膜金属層13aとの密着性を向上させるために行う。本実施形態では、O₂とCF₄との混合気体を用いるプラズマ処理を行っているが、プラズマ処理に用いる気体は第2絶縁層26を適度に粗面化できる気体であればよい。また、プラズマ処理を行う代わりに、例えば過マンガン酸カリウム等の溶液を用いるウェットエッチング処理を行ってもよい。

【0055】次に、無電解めっきの前処理であるキャタリスト・アクセラレータ処理を行い、それによって第2絶縁層26の表面に無電解めっきの触媒となるPd金属核を析出させる。その後、Pd金属核が析出した第2絶縁層26にアルカリ性無電解Cuめっきを行うことによって、Cuからなる第1薄膜金属層13aを堆積する。第1薄膜金属層13aの厚さは、被覆性(カバレッジ)の観点から、例えば0.2μm~2.0μmの範囲内、好ましくは0.5μm程度にする。

【0056】本実施形態では、バリアメタル12は耐アルカリ性を有するN*i*からなるため、アルカリ性無電解Cuめっきの際に、バリアメタル12がめっき液に溶解することはない。また、バリアメタル12は、中央部(登頂部)だけを第2絶縁層21から露出させているので、バリアメタル12と素子電極11との界面にめっき液が入り込むことがなく、それゆえアルカリ可溶のA1からなる素子電極11がめっき液によって溶解されることがない。従って、バリアメタル12を覆うように第2絶縁層21上に第1薄膜金属層13aを堆積することができるため、第1薄膜金属層13aの形成と共に、第1薄膜金属層13aとバリアメタル12との接合を行ふことができる。

【0057】なお、薄膜金属層13の形成は、例えばTi膜（厚さ：例えば0.2μm程度）を堆積した後、Ti膜の上にCu膜（厚さ：0.5μm程度）を堆積することによって行つてもよい。薄膜金属層13は、無電解めっき法の他、例えば、真空蒸着法、スパッタリング法、CVD法を用いて形成することも可能である。

【0058】次に、図4(d)に示すように、第1薄膜金属層13aの上に第1メッキレジスト膜14aを形成した後、第1薄膜金属層13aのうち第1メッキレジスト膜14aの形成されている部分を除く領域の上に第1薄膜金属層15aを形成する。第1メッキレジスト膜14aの形成は、第1薄膜金属層13a上にポジ型感光性レジストを塗布した後、このレジストのうち仕上げ製品の所望のパターン部以外の部分を分解し、次いで所望のパターン部を除去することによって行う。第1メッキレジスト膜14aの厚さは、例えば20μm程度にする。なお、ポジ型感光性レジストに代えて、ネガ型感光性レジストを用いてメッキレジスト膜14aを形成してもよい。

【0059】第1厚膜金属層15aは、例えばCu膜（厚さ：15μm程度）からなり、第1厚膜金属層15aの形成は、例えば電解めっき法を用いて行う。厚膜金属層14の厚さは、配線抵抗の観点から、例えば10～40μmの範囲内にする。

【0060】次に、図4(e)に示すように、第1メッキレジスト膜14aを分解して除去する。

【0061】次に、図4(f)に示すように、第1薄膜金属層13aおよび第1厚膜金属層15aを選択的に除去することによって、第1配線層28を形成する。第1配線層28の形成は次のようにして行われる。

【0062】まず、第1薄膜金属層13aおよび第1厚膜金属層15aを溶解できるCuエッチング液（例えば、塩化第二銅溶液）を用いて全面エッティングをし、それによって厚膜金属層14よりも厚さの薄い薄膜金属層12を先行して除去する。その後、例えばO₂とCF₄の混合気体を用いるプラズマ処理により第2絶縁層21表面のドライエッティングを行い、次いで例えば希塩酸を用いてウエットエッティングを行う。このようにして第2絶縁層21の表面に残存するPd金属核を除去すると、所望のパターンを有する第1配線層28が得られる。

【0063】なお、本実施形態では、Cuエッチング液として塩化第二銅溶液を用いているが、塩化第二銅溶液に代えて、塩化第二鉄溶液もしくは過酸化水素硫酸系のCuエッチング液を用いてもよい。また、メッキレジスト膜14を除去した後に、フォトリソグラフィ技術を用いて所望のパターン形状を有するエッティングレジスト膜を形成し、このエッティングレジスト膜によって厚膜金属層15を保護してもよい。

【0064】次に、図4(g)に示すように、第2絶縁膜22を第2絶縁層21の上に形成する。第2絶縁膜2

2の形成は、第1絶縁層20を形成する工程と同様の工程によって行えよう、具体的には第1配線層28を覆うように第2絶縁層21の上に絶縁材料（厚さ：例えば20μm程度）を堆積した後、第1配線層28の少なくとも一部を露出させる第3開口部27を絶縁材料に形成することによって行う。

【0065】次に、図5(a)に示すように、第2絶縁膜22および第1配線層28の上に第2薄膜金属層13bを形成する。第2薄膜金属層13bの形成は、第1薄膜金属層13aを形成する工程と同様の工程によって行えよう。

【0066】次に、図5(b)に示すように、第2薄膜金属層13bの上に第2メッキレジスト膜14bを形成した後、第2薄膜金属層13bのうち第2メッキレジスト膜14bの形成されている部分を除く領域の上に第2厚膜金属層15bを形成する。第2メッキレジスト膜14bおよび第2薄膜金属層13bの形成は、第1メッキレジスト膜14aおよび第1薄膜金属層13aを形成する工程と同様の工程によって行えよう。

【0067】次に、図5(c)に示すように、第2メッキレジスト膜14bを分解して除去する。

【0068】次に、図5(d)に示すように、第1配線層28を形成する工程と同様の工程によって、第2薄膜金属層13bおよび第2厚膜金属層15bを選択的に除去して、所望のパターンを有する第2配線パターン33を形成する。

【0069】次に、図5(e)に示すように、ソルダーレジスト膜50を第2絶縁膜22の上に形成する。ソルダーレジスト膜50は、公知の技術を用いて形成すればよく、例えば、ソルダーレジストを第2配線パターン33および第2絶縁膜の上に堆積した後、第2金属配線層33のランド32の少なくとも一部を露出する第4開口部29を形成すればよい。ソルダーレジスト膜50を形成することによって、コンタクト部30と金属配線31を溶融したはんだから保護することができる。

【0070】次に、図5(f)に示すように、第4開口部29に露出しているランド32の上にバリアメタル層51を形成する。バリアメタル層51は、例えば、Ni層（厚さ：5μm程度）とAu層（厚み：0.05μm程度）とからなり、各層は例えば無電解めっきによって形成される。

【0071】最後に、図5(g)に示すように、例えば、はんだ、はんだめっきされた銅、ニッケル等からなる金属ボール40をバリアメタル層51上に載置し、次いで、金属ボール40とバリアメタル51とを溶融結合する。このようにして、本実施形態にかかる半導体装置を得ることができる。

【0072】本実施形態によれば、バリアメタル12が耐メッキ液性を有している場合、素子電極12をメッキ液に溶解させることなく、金属配線層を形成することが

可能となる。加えて、バリアメタル12と第1配線層28との接合を第1配線層28の形成によって一括して実行でき、さらに第1配線層28と第2配線層33との接合を第2配線層33の形成によって一括して実行できるため、より低い製造コストで半導体装置を製造することが可能となる。

【0073】また、本実施形態では、第1絶縁層20の段差部25を第2絶縁層21によって覆うようにしているため、配線をバリアメタル12になめらかにつながるように形成することができ、その結果、配線の形成を容易にし、配線の断線を生じさせないようにすることができます。

【0074】なお、本実施形態では、半導体素子10の主面上に第1絶縁層20、第2絶縁層21、および第2絶縁膜22を形成したが、これらの間に他の層（例えば、絶縁層、弹性体層など）を形成することも可能である。他の層を形成する場合には、フォトリソ法や印刷法などの公知の方法を用いて所定の箇所に開口部を設けるようにすればよい。また、金属配線層33の上に他の層（例えば、絶縁層、弹性体層など）を形成した後に、ソルダーレジスト膜50を形成してもよい。

【0075】また、本実施形態では薄膜金属層13および厚膜金属層15を構成する材料としてCuを使用したが、これに代えてCr、W、Ti/Cu、Ni等を使用してもよい。また、薄膜金属層13と厚膜金属層15とをそれぞれ異なる金属材料により構成しておき、図4(f)および図5(d)に示すような最終的なエッティング工程では薄膜金属層13のみを選択的にエッティングするエッチャントを用いてもよい。

(他の実施形態) 上記実施形態では、ランド32の上に外部電極端子として金属ボール40を設けたが、これに代えてランド32の上に突起電極を設けてもよい。突起電極として、例えば、はんだクリームをランド32上に印刷、溶融することによって形成されたはんだバンプ、溶融はんだ内にディップすることによって形成されたはんだバンプ、無電解めつきによってランド32上に形成されたニッケル／金バンプなどを設けることができる。突起電極は、導電性を有し、かつソルダーレジスト膜50から突出していればよい。突起電極を設けることによって、ランド32の上に金属ボール40を順次搭載する手間の掛かる工程とが不要となるため、低成本の半導体装置を実現することができる。

【0076】また、ランド32を外部電極端子として機能させるランド・グリッド・アレイ(LGA)型の構成を採用してもよい。LGA型の構成を採用した半導体装置を配線基板上に実装する際には、配線基板の接続端子の上にはんだクリームを塗布した後リフローさせるなどの方法によって、ランド32と配線基板上の接続端子との電気的な接続を容易に行なうことができる。ランド32を外部電極端子として用いることによって、金属ボ

ル40を順次形成する工程や、突起電極を形成する工程が不要となるため、極めてコストが低く、かつ実装高さの低い半導体装置を実現することができる。

【0077】

【発明の効果】本発明によれば、半導体素子の4隅に近接して配置された素子電極を有する半導体素子に適応可能であり、外部電極を任意の配列にすることを可能にする半導体装置およびその製造方法を提供することが可能となる。

10 【図面の簡単な説明】

【図1】(a)は、本発明による実施形態にかかる半導体装置を模式的に示す斜視図である。(b)は、その半導体装置の断面図であり、(c)は、その断面拡大図である。

【図2】本発明による実施形態における第1配線パターンを模式的に示す平面図である。

【図3】本発明による実施形態における第2配線パターンを模式的に示す平面図である。

【図4】(a)～(g)は、本発明による実施形態にかかる半導体装置の製造方法を説明するための工程断面図である。

【図5】(a)～(g)は、本発明による実施形態にかかる半導体装置の製造方法を説明するための工程断面図である。

【図6】(a)は、従来の半導体装置を示す断面図である。(b)は、従来の半導体装置の配線パターンを示す平面図である。

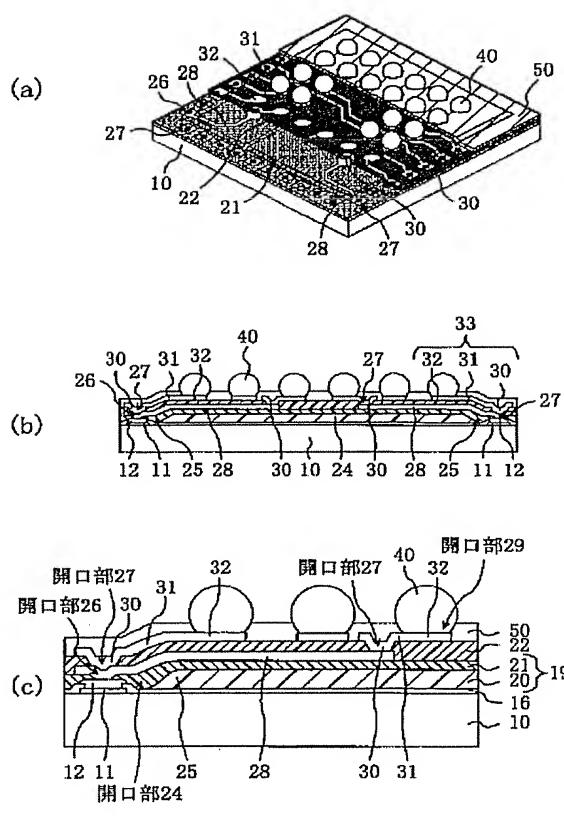
【符号の説明】

10	半導体基板
11	素子電極
12	バリアメタル
13a	第1薄膜金属層
13b	第2薄膜金属層
14a	第1メッキレジスト膜
14b	第2メッキレジスト膜
15a	第1厚膜金属層
15b	第2厚膜金属層
16	パッシベーション膜
19	第1絶縁層
20	第1絶縁層
21	第2絶縁層
24	第1開口部
25	段差部
26	第2開口部
27	第3開口部
28	第1配線パターン
29	第4開口部
30	コンタクト部
31	金属配線
50	ランド(外部電極)

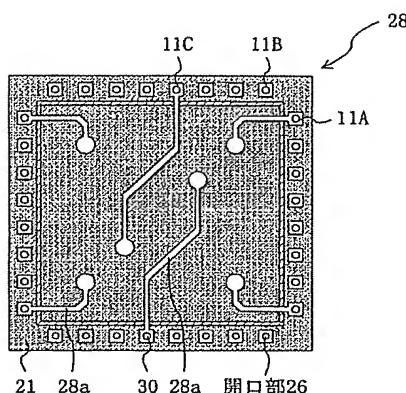
- 3 3 第2配線パターン
 4 0 金属ボール
 4 1 導電性突起
 5 0 ソルダーレジスト膜(保護膜)
 5 1 バリアメタル層
 1 0 1 半導体素子(半導体チップ)
 1 0 2 配線回路シート

- 1 0 3 低弾性率層
 1 0 4 部分リード
 1 0 5 素子電極
 1 0 6 外部電極
 1 0 7 ソルダーレジスト膜
 1 0 8 金属ボール

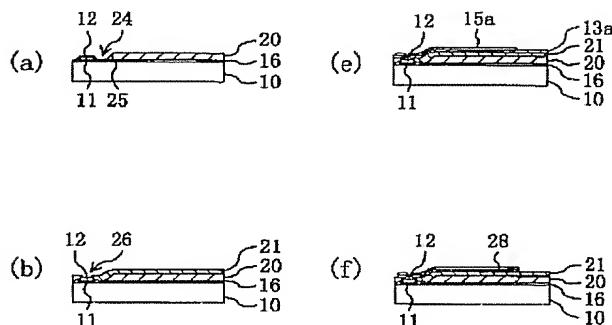
【図1】



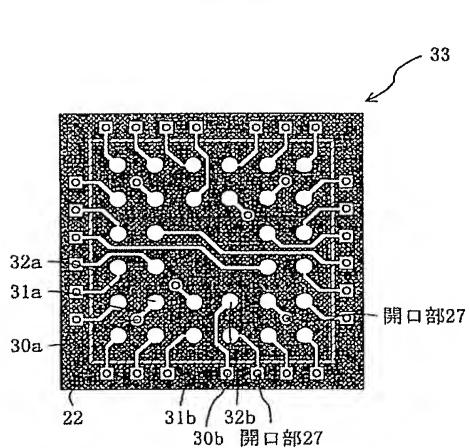
【図2】



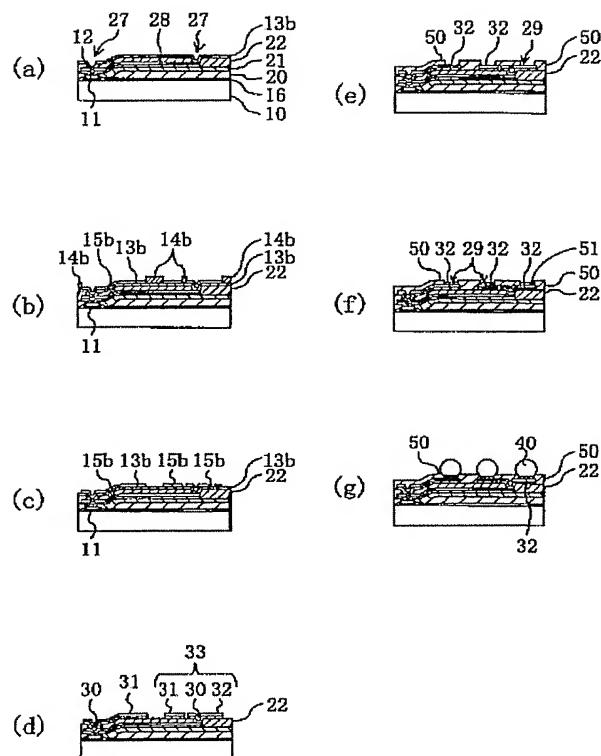
【図4】



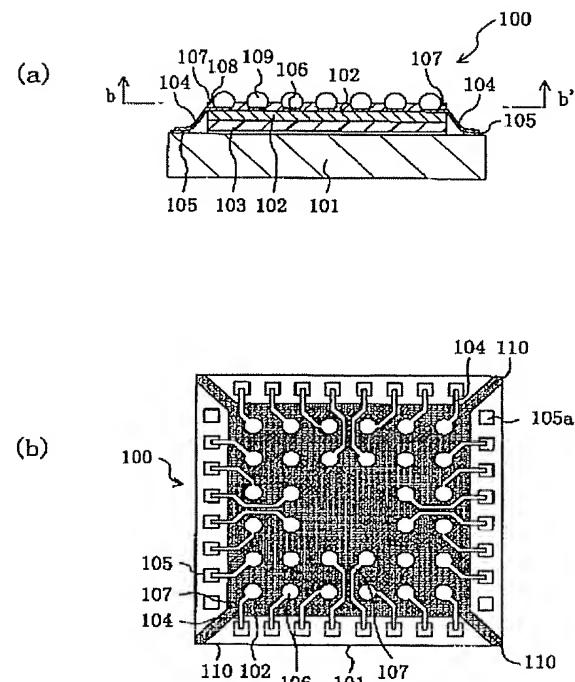
【図3】



【図5】



【図6】



フロントページの続き

(72)発明者 戒能 憲幸
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 中村 嘉文
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 隅川 隆博
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 山岸 勝
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

F ターム(参考) 5F033 HH11 HH18 JJ01 KK07 KK08
MM01 MM04 PP27 PP28 QQ08
QQ11 QQ19 RR21 SS21 TT01
VV07 XX19